

511, 427

(12)特許協力条約に基づいて公開された国際出願

Rec'd PCT/PTO 15 OCT 2004

(19)世界知的所有権機関
国際事務局(43)国際公開日
2003年10月23日 (23.10.2003)

PCT

(10)国際公開番号
WO 03/088193 A1(51)国際特許分類:
G02F 1/1368, H01L 29/786

G09F 9/30,

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 小倉 雅史
(KOKURA,Masafumi) [JP/JP]; 〒639-0225 奈良県 香芝市瓦口 2112 クレセントビラ香芝304 Nara (JP). 片岡 義晴 (KATAOKA,Yoshiharu) [JP/JP]; 〒565-0824 大阪府 吹田市山田西 3丁目13-1 Osaka (JP).

(21)国際出願番号: PCT/JP03/04727

(22)国際出願日: 2003年4月14日 (14.04.2003)

(25)国際出願の言語: 日本語

(74)代理人: 山本 秀策, 外 (YAMAMOTO,Shusaku et al.);
〒540-6015 大阪府 大阪市中央区城見 1丁目2番27号
クリスタルタワー15階 Osaka (JP).

(26)国際公開の言語: 日本語

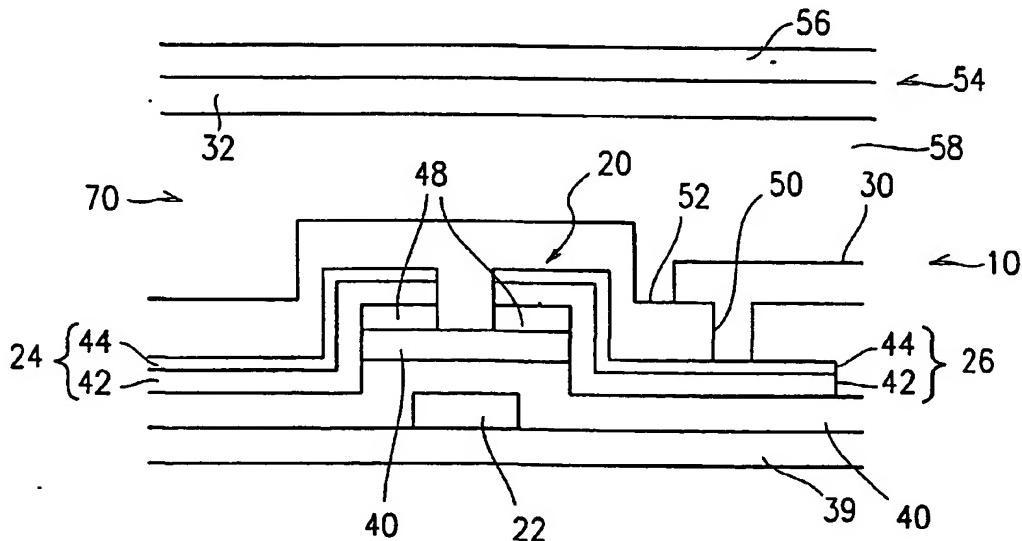
(81)指定国(国内): CN, JP, KR, US.

(30)優先権データ:
特願2002-113903 2002年4月16日 (16.04.2002) JP添付公開書類:
— 国際調査報告書(71)出願人(米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP];
〒545-8522 大阪府 大阪市 阿倍野区長池町22番22号
Osaka (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54)Title: SUBSTRATE, LIQUID CRYSTAL DISPLAY HAVING THE SUBSTRATE, AND METHOD FOR PRODUCING SUBSTRATE

(54)発明の名称: 基板、その基板を備えた液晶表示装置および基板を製造する方法



WO 03/088193 A1

(57) Abstract: A substrate (10) comprises a first electrode (26), an insulating film (52) covering at least part of the first electrode (26), and a second electrode (30) formed on the insulating film (52) and electrically connected to the first electrode (26) through a contact hole (50) formed in the insulating film (52). The first electrode (26) has a multilayer structure of a metal film (42) and a protective film (44). The etching rate of the metal film (42) of a first etching for forming the metal film (42) and the protective film (44) is approximately equal to that of the protective film (44). The etching rate of the protective film (44) of a second etching for forming the contact hole (50) is almost zero.

[続葉有]



(57) 要約: 本発明による基板(10)は、第1の電極(26)と、上記第1の電極(26)の少なくとも一部を覆う絶縁膜(52)上に形成された第2の電極(30)であって、上記絶縁膜(52)に形成されたコンタクトホール(50)を介して上記第1の電極(26)と電気的に接続された第2の電極(30)とを備えた基板(10)であって、上記第1の電極(26)は、金属膜(42)と保護膜(44)との積層構造を有しており、上記金属膜(42)および上記保護膜(44)を形成するための第1のエッティングに対して、上記金属膜(42)のエッティングレートは上記保護膜(44)のエッティングレートとほぼ等しく、上記コンタクトホール(50)を形成するための第2のエッティングに対して、上記保護膜(44)のエッティングレートがほぼゼロである。

明 細 書

基板、その基板を備えた液晶表示装置および基板を製造する方法

5 技術分野

本発明は、基板、その基板を備えた液晶表示装置および基板を製造する方法に関する。

背景技術

10 液晶表示装置のアクティブマトリックス基板において、薄膜トランジスタのドレイン電極と、ドレン電極を覆う絶縁膜上に形成された画素電極とを、絶縁膜に形成されたコンタクトホールを介して、電気的に接続させることが従来から知られている。

図12は、従来のアクティブマトリックス基板の模式的な平面図である。

15 アクティブマトリックス基板110は、マトリックス状に配置された複数の薄膜トランジスタ（以下「TFT」ともいう）120と、列方向に沿って配置された薄膜トランジスタ120に沿って所定の間隔を空けて互いに平行に設けられた複数のソース信号線114と、行方向に沿って配置された薄膜トランジスタ120に沿って所定の間隔を空けて互いに平行に設けられた複数のゲート信号線112とを備えている。

複数のソース信号線114には、それぞれ、対応するソースドライバ118が接続されており、各ソースドライバ118は、対応するソース信号線114に、映像信号に対応する電圧を印加する。

20 複数のゲート信号線112には、それぞれ、対応するゲートドライバ116が接続されており、各ゲートドライバ116は、対応するゲート信号線112に、走査信号に対応する電圧を印加する。

複数の薄膜トランジスタ 120 のそれぞれは、対応するゲート信号線 112 から分岐されたゲート電極 122 と、対応するソース信号線 114 から分岐されたソース電極 124 と、ドレイン電極 126 とを有している。

複数のドレイン電極 126 のそれぞれは、対応する画素電極 130 に接続されている。各画素電極 130 は、対応する画素容量 128 の一方の端子となっている。各画素容量 128 の他方の端子は、対向基板 154 (図 14 および図 15 参照) に設けられた対向電極 132 である。対向電極 132 は、通常、複数の画素電極 130 に共有されている。

アクティブマトリックス基板 110 には、映像の表示に寄与する表示領域 134 と、表示領域 134 の周囲を囲むように配置された端子領域 136 とが設けられている。表示領域 134 内には、複数の画素電極 130 および複数の薄膜トランジスタ 120 が配置されており、端子領域 136 には、複数のゲートドライバ 116 および複数のソースドライバ 118 が配置されている。

従来の液晶表示装置 170 (図 14 および図 15 参照) は、このようなアクティブマトリックス基板 110 と、このアクティブマトリックス基板 110 に対向する対向基板 154 (図 14 および図 15 参照) と、アクティブマトリックス基板 110 と対向基板 154 との間に挿入された液晶 158 (図 14 参照) とを備える。

ゲートドライバ 116 から印加された信号に対し、複数の薄膜トランジスタ 120 のそれぞれをオンまたはオフにすることによって、ソースドライバ 118 から印加された映像信号に対応する電圧が、対応する画素電極 130 に印加される。画素電極 130 および対向電極 132 に印加された電圧に応じて、液晶の配向は制御され、それによって、液晶表示装置は映像を表示する。

図 13 は、従来のアクティブマトリックス基板 110 の平面図である。

図 13 に示されるゲートドライバ 116 は、外部から走査信号が入力される信号入力端子部 138 を備える。

画素電極130は、コンタクトホール150を介してドレイン電極126に接続されている。

図14は、図13に示す線P-Pに沿った、従来の液晶表示装置の断面図である。

5 図14に示される従来の液晶表示装置170は、アクティブマトリックス基板110と、対向基板154と、アクティブマトリックス基板110と対向基板154との間に挿入された液晶158とを備える。

10 図14では、アクティブマトリックス基板110の表示領域134において、薄膜トランジスタ120および薄膜トランジスタ120のドレイン電極126に接続された画素電極130の断面構造が示される。

アクティブマトリックス基板110は、透明絶縁性基板139を備える。ゲート電極122は、透明絶縁性基板139上に形成されている。ゲート絶縁膜140は、ゲート電極122を覆うように透明絶縁性基板139上に形成されている。

15 半導体層146は、ゲート絶縁膜140を介してゲート電極122上に形成されている。n+シリコン(Si)層148は、半導体層146上に、半導体層146と整合するように形成されている。

ソース信号線114から分岐されたソース電極124は、n+Si層148の表面の一部とn+Si層148および半導体層146の側面とを覆うように、ゲート絶縁膜140の一部の上に形成されている。

20 ドレイン電極126は、n+Si層148の表面の他の一部とn+Si層148および半導体層146の他の側面とを覆うように、ゲート絶縁膜140の他の一部の上に形成されている。

ソース電極124およびドレイン電極126は、n+Si層148の表面上で互いに所定の間隔離れて、配置されている。

25 薄膜トランジスタ120は、ゲート電極122と、半導体層146と、n+Si層148と、ソース電極124と、ドレイン電極126とを有する。

液晶表示装置を大型化するか、または、高精細度化するためには、ゲート信号線 112、ソース信号線 114、ゲート電極 122、ソース電極 124 およびドレイン電極 126 の抵抗を低くすることが望ましい。このため、これらの信号線および電極の材料として、通常は、抵抗が低く、加工することが容易な金属が使用される。

ゲート信号線 112、ソース信号線 114、ゲート電極 122、ソース電極 124 およびドレイン電極 126 として使用される一般的な材料は、Al、Mo、Ti、Ta 等である。

Mo の比抵抗は比較的低く、かつ、弱酸を用いたエッチングによって Mo をパターン加工することが容易であるため、ソース信号線 114、ソース電極 124 およびドレイン電極 126 の材料として、しばしば、Mo が使用される。

上述した材料のうちで比抵抗が最も小さい材料は Al であるが、Al は n+Si 層 148 と良好にコンタクトすることができないため、ソース電極 124 およびドレイン電極 126 の材料を単層の Al とすることは好ましくない。したがって、Al をソース信号線に用いる場合には、Al/Ti、Al/Mo 等の積層構造が必要となる。

Ti の比抵抗は Al および Mo の比抵抗よりも高いので、大型化した液晶表示装置の電極および信号線の材料として単層で Ti を使用することはありません。

Ti と同様に、Ta も比抵抗が高いため、単層で使用することはありません。

薄膜トランジスタ 120 を保護するための絶縁膜 152 は、ソース電極 124 とドレイン電極 126 と n+Si 層 148 の表面のさらに他の一部とを覆うように、ゲート絶縁膜 140 上に形成されている。絶縁膜 152 の材料は、例えば、SiNx である。

絶縁膜 152 には、ドレイン電極 126 に達するように絶縁膜 152 を貫通す

るコンタクトホール 150 が形成されている。

画素電極 130 は、コンタクトホール 150 を介してドレイン電極 126 と接続するように絶縁膜 152 上に形成されている。画素電極 130 の材料は、透明な ITO である。

液晶表示装置、特に透過型 TFT 液晶表示装置では、上述した構成、すなわち、薄膜トランジスタ 120 を形成した後に、薄膜トランジスタ 120 のドレイン電極 126 を覆うように絶縁膜 152 を形成し、絶縁膜 152 に形成されたコンタクトホール 150 を介してドレイン電極 126 と電気的に接続されるように画素電極 130 を形成する構成が、しばしば、使用されている。

その理由は、この構成では、画素電極 130 を形成する面が、ソース信号線 114 を形成する面と同一ではないため、絶縁膜 152 上に形成された画素電極 130 と、絶縁膜 152 の下に形成されたソース電極 124 に接続されたソース信号線 114 とが電気的に短絡することを防ぎつつ、画素電極 130 の面積を広くすることができるからである。

対向基板 154 は、透明絶縁性基板 156 と、透明絶縁性基板 156 上に設けられた対向電極 132 とを有する。

図 15 は、図 13 に示す線 Q-Q に沿った従来の液晶表示装置の断面図である。

図 15 では、アクティブラチックス基板 110 の端子領域 136において、ゲートドライバ 116 内の信号入力端子部 138 の断面構造が示されている。

ゲート信号線 112 は、透明絶縁性基板 139 上に形成されている。ゲート絶縁膜 140 は、ゲート信号線 112 の両端部を覆うように透明絶縁性基板 139 上に形成されている。ゲート絶縁膜 140 上には絶縁膜 152 が形成されている。

ゲート信号線 112 が酸化して抵抗が高くなることを防ぐための酸化防止膜 160 が、ゲート絶縁膜 140 および絶縁膜 152 の側面と、絶縁膜 152 の表面の一部とを覆うように、形成されている。ここで、酸化防止膜 160 の材料は透明な ITO であり、これは、画素電極 130 の材料と同じ材料である。

上述した従来のアクティブマトリックス基板110は、以下のようにして製造される。

まず、透明絶縁性基板139上にゲート信号線112およびゲート電極122を構成する材料をスパッタ法等によって成膜する。次いで、成膜した層に対して、マスク露光、現像およびドライエッチングすることにより、所定のパターンのゲート信号線112およびゲート電極122を形成する。
5

次いで、ゲート信号線112およびゲート電極122を覆うように、ゲート絶縁膜140を構成する材料を透明絶縁性基板139上にCVD法によって成膜する。

その後、半導体層146を構成する材料およびn+Si層148を構成する材料を、順次、CVD法によってゲート絶縁膜140を構成する材料上に成膜する。成膜した半導体層146を構成する材料およびn+Si層148を構成する材料に、マスク露光、現像およびドライエッチングすることによって、所定のパターンの半導体層146およびn+Si層148を形成する。
10

次いで、ソース信号線114、ソース電極124およびドレイン電極126を構成する材料（例えば、Mo）を、半導体層146およびn+Si層148を覆うようにゲート絶縁膜140上に成膜し、次いで、成膜したMoをマスク露光、現像およびドライエッチングすることによって、所定のパターンのMoを形成する。
15

次いで、ソース電極124とドレイン電極126との間のMoをウェットエッチングして、薄膜トランジスタ120のチャネルを形成することによって、ソース信号線114、ソース電極124およびドレイン電極126を形成する。
20

次いで、ソース電極124とドレイン電極126とn+Si層148の表面のさらに他の一部とを覆うように、絶縁膜152を構成する材料をゲート絶縁膜140上に形成する。
25

次いで、CF₄とO₂との混合ガスを使用したドライエッチングによって、ド

レイン電極 126 上の絶縁膜 152 の一部を除去して、絶縁膜 152 にコンタクトホール 150 を形成するとともに、端子領域 136 (図 12) のゲート信号線 112 の上方に形成された絶縁膜 152 の一部およびゲート信号線 112 上に形成されたゲート絶縁膜 140 の一部を連続して除去して、ゲート信号線 112 の表面の一部を露出させる。
5

次いで、ITOを成膜し、成膜したITOをマスク露光、現像およびエッチングすることによって、所定のパターンの画素電極 130 および酸化防止膜 160 を形成する。ここで、画素電極 130 は、コンタクトホール 150 を介してドレイン電極 126 と電気的に接続するように絶縁膜 152 上に形成されており、一方、酸化防止膜 160 は、ゲート信号線 112 の表面の一部と、ゲート絶縁膜 140 および絶縁膜 152 の側面と、絶縁膜 152 の表面の一部とを覆うように形成されている。
10

上述したように、同一のドライエッチングによって、端子領域 136 の信号入力端子部 138 では、ゲート信号線 112 の上方の絶縁膜 152 を構成する材料の一部を除去し、連続して、ゲート信号線 112 上のゲート絶縁膜 140 を構成する材料の一部を除去することによって、ゲート信号線 112 の表面の一部を露出し、表示領域 134 では、絶縁膜 152 にコンタクトホール 150 を形成するためにドレイン電極 126 上の絶縁膜 152 の一部を除去している。
15

しかしながら、同一のドライエッチングによって、表示領域 134において、絶縁膜 152 の一部を除去する一方で、端子領域 136において、絶縁膜 152 の一部およびゲート絶縁膜 140 の一部を連続して除去するため、表示領域 134 では、絶縁膜 152 の一部だけでなく、絶縁膜 152 の下に配置されたドレイン電極 126 の一部、さらには、ゲート絶縁膜 140 の一部も除去されてしまうおそれがある。
20

特に、ドライエッチングとして CF_4 と O_2 との混合ガスを使用し、絶縁膜 152 の材料として SiN_x を使用し、ドレイン電極 126 の材料として Mo を使
25

用する場合、絶縁膜 152 とドレイン電極 126 とのエッティング選択比が不十分となり、ドレイン電極 126 の一部が除去されてしまう。

図 16 は、図 14 に示した液晶表示装置のアクティブマトリックス基板において、コンタクトホール 150A が絶縁膜 152 だけでなくドレイン電極 126 を貫通して、ゲート絶縁膜 140 内に達したことを示す、液晶表示装置の断面図である。

図 16 に示されるように、液晶表示装置 170A において、絶縁膜 152 だけでなくドレイン電極 126 をも貫通し、ゲート絶縁膜 140 内に達するコンタクトホール 150A が形成されると、画素電極 130 は、ドレイン電極 126 の断面でドレイン電極 126 とコンタクトすることになる。通常、ドレイン電極 126 の断面積は、コンタクトホール 150A の表面積と比較して、極めて小さいため、画素電極 130 とドレイン電極 126 との電気的接続が十分でなくなるという課題が生じる。

上述した課題を克服するために、ドレイン電極 126 を形成した後に、ドレイン電極 126 上に ITO を成膜して、保護膜を形成し、この保護膜の上に絶縁膜 152 を形成して、マスク露光、現像およびドライエッティングによって絶縁膜 152 にコンタクトホール 150 を形成すると、形成した保護膜がドライエッティングに対してドレイン電極 126 を保護するため、ドレイン電極 126 がエッティングされることを防ぐことができる。

しかしながら、ドレイン電極 126 上に ITO を成膜して保護膜を形成すると、コストおよびプロセスが増加するという新たな課題が生じる。

本発明は、上記課題を解決するためになされたものであり、その目的は、コストおよびプロセスを増加させることなく、第 1 の電極と、第 1 の電極を覆う絶縁膜上に形成された第 2 の電極とを、絶縁膜に形成されたコンタクトホールを介して電気的に安定に接続する基板、その基板を備えた液晶表示装置および基板を製造する方法を提供することである。

発明の開示

本発明に係る基板は、第1の電極と、該第1の電極の少なくとも一部を覆う絶縁膜上に形成された第2の電極であって、該絶縁膜に形成されたコンタクトホールを介して該第1の電極と電気的に接続された第2の電極とを備えた、基板であって、該第1の電極は、金属膜と保護膜との積層構造を有しており、該金属膜および該保護膜を形成するための第1のエッチングに対して、該金属膜のエッティングレートは該保護膜のエッティングレートとほぼ等しく、該コンタクトホールを形成するための第2のエッチングに対して、該保護膜のエッティングレートがほぼゼロであり、そのことにより上記目的が達成される。

前記保護膜は、非晶質導電性酸化物であってもよい。

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物であつてもよい。

前記金属膜は、モリブデンを含んでもよい。

前記保護膜は、前記金属膜に対して前記コンタクトホール側に形成されていてもよい。

前記金属膜は、前記保護膜に対して前記コンタクトホール側に形成されていてもよい。

ドレイン電極として機能する前記第1の電極と、ソース電極と、ゲート電極とを含む薄膜トランジスタをさらに備え、前記第2の電極は、該薄膜トランジスタによって制御される画素電極として機能してもよい。

前記薄膜トランジスタの前記ゲート電極に分岐されたゲート信号線と、該ゲート電極および該ゲート信号線の少なくとも一部を覆うゲート絶縁膜とをさらに備え、該薄膜トランジスタの前記ドレイン電極は、該ゲート絶縁膜上に形成されており、前記保護膜は、該ドレイン電極下の該ゲート絶縁膜を、前記第2のエッチングから保護してもよい。

本発明に係る液晶表示装置は、上記に記載の基板と、該基板に対向する対向基板と、該基板と該対向基板との間に挿入された液晶とを備え、そのことにより上記目的が達成される。

本発明に係る基板を製造する方法は、第1の電極を形成する工程と、該第1の電極の少なくとも一部を覆う絶縁膜を形成する工程と、該絶縁膜の一部を除去することにより、該絶縁膜にコンタクトホールを形成する工程と、該絶縁膜上に第2の電極を形成する工程であって、該コンタクトホールを介して該第1の電極と該第2の電極とが電気的に接続される工程とを包含する基板を製造する方法であって、該第1の電極を形成する工程は、金属膜と保護膜とを積層する工程と、該金属膜のエッチングレートが該保護膜のエッチングレートとほぼ等しい第1のエッチングによって、該積層された金属膜および該保護膜とともにパターニングする工程とを包含し、該コンタクトホールを形成する工程は、該保護膜のエッチングレートがほぼゼロである第2のエッチングによって、該絶縁膜に該コンタクトホールを形成する工程を包含し、そのことにより上記目的が達成される。

前記パターニングする工程は、前記弱酸の混合液を用いたウェットエッチングにより、前記金属膜および前記保護膜をパターニングする工程を包含してもよい。

前記第1の電極が薄膜トランジスタのドレン電極として機能し、前記第2の電極が該薄膜トランジスタによって制御される画素電極として機能する、基板を製造する方法であって、ゲート信号線を形成する工程と、該薄膜トランジスタのゲート電極であって、該ゲート信号線から分岐したゲート電極を形成する工程と、該ゲート信号線の少なくとも一部を覆うゲート絶縁膜を形成する工程と、ソース信号線を形成する工程と、該薄膜トランジスタのソース電極であって、該ソース信号線から分岐したソース電極を形成する工程と、該ゲート信号線上の該ゲート絶縁膜の一部を除去する工程とをさらに包含し、前記第2のエッチングはドライエッチングであり、該ドライエッチングにより、該コンタクトホールを形成

するとともに、該ゲート絶縁膜の一部を除去してもよい。

前記保護膜は、記非晶質導電性酸化物であってもよい。

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物であつてもよい。

5 前記金属膜は、モリブデンを含んでもよい。

図面の簡単な説明

図1は、本発明の1つの実施形態による液晶表示装置のアクティブラトリックス基板の模式的な平面図である。

10 図2は、本発明の1つの実施形態によるアクティブラトリックス基板の平面図である。

図3は、図2に示す線P—Pに沿った、本発明の1つの実施形態による液晶表示装置の断面図である。

15 図4は、図2に示す線Q—Qに沿った、本発明の1つの実施形態による液晶表示装置の断面図である。

図5は、本発明の1つの実施形態によるアクティブラトリックス基板を製造する方法を説明するための断面図である。

図6は、本発明の1つの実施形態によるアクティブラトリックス基板を製造する方法を説明するための断面図である。

20 図7は、本発明の1つの実施形態によるアクティブラトリックス基板を製造する方法を説明するための断面図である。

図8は、本発明の1つの実施形態によるアクティブラトリックス基板を製造する方法を説明するための断面図である。

25 図9は、本発明の1つの実施形態によるアクティブラトリックス基板を製造する方法を説明するための断面図である。

図10は、本発明の1つの実施形態によるアクティブラトリックス基板を製造

する方法を説明するための断面図である。

図11は、本発明の別の実施形態による液晶表示装置の断面図である。

図12は、従来のアクティブマトリックス基板の模式的な平面図である。

図13は、従来のアクティブマトリックス基板110の平面図である。

5 図14は、図13に示す線P-Pに沿った、従来の液晶表示装置の断面図である。

図15は、図13に示す線Q-Qに沿った従来の液晶表示装置の断面図である。

図16は、図14に示した液晶表示装置のアクティブマトリックス基板において、コンタクトホールが絶縁膜だけでなくドレイン電極を貫通して、ゲート絶縁膜内に達したことを示す、液晶表示装置の断面図である。
10

発明を実施するための最良の形態

以下の説明では、液晶表示装置、特に、アクティブマトリックス基板を備えた液晶表示装置について説明するが、本発明は、液晶表示装置、および、アクティブマトリックス基板液晶表示装置に限定されるものではない。本発明は、第1の電極と、第1の電極を覆う絶縁膜上に形成された第2の電極とが、絶縁膜に形成されたコンタクトホールを介して電気的に接続される任意の構成に適用可能である。
15

本発明の1つの実施形態による液晶表示装置は、ドレイン電極と、ドレイン電極を覆う絶縁膜上に形成された画素電極とが、絶縁膜に形成されたコンタクトホールを介して電気的に接続されるアクティブマトリックス基板を備えている。
20

図1は、本発明の1つの実施形態による液晶表示装置のアクティブマトリックス基板の模式的な平面図である。

アクティブマトリックス基板10は、マトリックス状に配置された複数の薄膜トランジスタ（以下「TFT」ともいう）20と、列方向に沿って配置された薄膜トランジスタ20に沿って所定の間隔を空けて互いに平行に設けられた複数の
25

ソース信号線 14 と、行方向に沿って配置された薄膜トランジスタ 20 に沿って所定の間隔を空けて互いに平行に設けられた複数のゲート信号線 12 とを備えている。

複数のソース信号線 14 には、それぞれ、対応するソースドライバ 18 が接続されており、各ソースドライバ 18 は、対応するソース信号線 14 に、映像信号に対応する電圧を印加する。
5

複数のゲート信号線 12 には、それぞれ、対応するゲートドライバ 16 が接続されており、各ゲートドライバ 16 は、対応するゲート信号線 12 に、走査信号に対応する電圧を印加する。

複数の薄膜トランジスタ 20 のそれぞれは、対応するゲート信号線 12 から分岐されたゲート電極 22 と、対応するソース信号線 14 から分岐されたソース電極 24 と、ドレイン電極 26 とを有している。
10

複数のドレイン電極 26 のそれぞれは、対応する画素電極 30 に接続されている。各画素電極 30 は、対応する画素容量 28 の一方の端子となっている。各画素容量 28 の他方の端子は、対向基板 54 (図 3 および図 4 参照) に設けられた対向電極 32 である。対向電極 32 は、複数の画素電極 30 に共有されている。
15

アクティブマトリックス基板 10 には、映像の表示に寄与する表示領域 34 と、表示領域 34 の周囲を囲むように配置された端子領域 36 とが設けられている。表示領域 34 内には、複数の画素電極 30 および複数の薄膜トランジスタ 20 が配置されており、端子領域 36 には、複数のゲートドライバ 16 および複数のソースドライバ 18 が配置されている。
20

液晶表示装置 70 (図 3 および図 4 参照) は、アクティブマトリックス基板 10 と、このアクティブマトリックス基板 10 に対向する対向基板 54 (図 3 および図 4 参照) と、アクティブマトリックス基板 10 と対向基板 54 (図 3 および図 4 参照) との間に挿入された液晶 58 (図 3 参照) とを備える。
25

ゲートドライバ 16 から印加された信号に対し、複数の薄膜トランジスタ 20

のそれぞれをオンまたはオフにすることによって、ソースドライバ 18 から印加された映像信号に対応する電圧が、対応する画素電極 30 に印加される。画素電極 30 および対向電極 32 に印加された電圧に応じて、液晶の配向は制御され、それによって、液晶表示装置 70 (図 3 および図 4 参照) は、映像を表示する。

5 図 2 は、本発明の 1 つの実施形態によるアクティブマトリックス基板 10 の平面図である。

図 2 に示されるゲートドライバ 16 は、外部から走査信号が入力される信号入力端子部 38 を有する。

10 画素電極 30 は、コンタクトホール 50 を介してドレイン電極 26 に接続されている。

図 3 は、図 2 に示す線 P-P に沿った、本発明の 1 つの実施形態による液晶表示装置の断面図である。

15 図 3 に示された液晶表示装置 70 は、アクティブマトリックス基板 10 と、対向基板 54 と、アクティブマトリックス基板 10 と対向基板 54 との間に挿入された液晶 58 とを備える。

図 3 では、アクティブマトリックス基板 10 の表示領域 34において、薄膜トランジスタ 20 および薄膜トランジスタ 20 のドレイン電極 26 に接続された画素電極 30 の断面構造が示されている。

20 アクティブマトリックス基板 10 は、透明絶縁性基板 39 を備える。ゲート電極 22 は、透明絶縁性基板 39 上に形成されている。ゲート電極 22 は、TaN と Ta と TaN との積層構造 (TaN/Ta/TaN) を有している。

ゲート絶縁膜 40 は、ゲート電極 22 を覆うように透明絶縁性基板 39 上に形成されている。

25 半導体層 46 は、ゲート絶縁膜 40 を介してゲート電極 22 上に形成されている。n+シリコン (Si) 層 48 は、半導体層 46 上に、半導体層 46 と整合するように形成されている。

ソース信号線 14 から分岐されたソース電極 24 は、n + Si 層 48 の表面の一部と n + Si 層 48 および半導体層 46 の側面とを覆うように、ゲート絶縁膜 40 の一部の上に形成されている。

ドレイン電極 26 は、n + Si 層 48 の表面の他的一部と n + Si 層 48 および半導体層 46 の他の側面とを覆うように、ゲート絶縁膜 40 の他の一部の上に形成されている。
5

ソース電極 24 およびドレイン電極 26 は、n + Si 層 48 の表面上で互いに所定の間隔離れて、配置されている。

ドレイン電極 26 は、金属膜 42 と保護膜 44 との積層構造を有している。

10 薄膜トランジスタ 20 は、ゲート電極 22 と、半導体層 46 と、n + Si 層 48 と、ソース電極 24 と、ドレイン電極 26 とを有する。

アクティブマトリックス基板 10 では、ソース電極 24 およびソース信号線 14 もドレイン電極 26 と同様に、金属膜 42 と保護膜 44 との積層構造を有している。

15 薄膜トランジスタ 20 を保護するための絶縁膜 52 は、ソース電極 24 とドレイン電極 26 と n + Si 層 48 の表面のさらに他的一部とを覆うように、ゲート絶縁膜 40 上に形成されている。絶縁膜 52 の材料は、例えば、SiN_xである。

絶縁膜 52 には、ドレイン電極 26 に達するように絶縁膜 52 を貫通するコンタクトホール 50 が形成されている。コンタクトホール 50 は保護膜 44 と接するように形成されており、すなわち、保護膜 44 は、金属膜 42 に対して、コンタクトホール 50 側に形成されている。
20

画素電極 30 は、コンタクトホール 50 を介してドレイン電極 26 と接続するように絶縁膜 52 上に形成されている。画素電極 30 の材料は、透明な ITO である。

25 このような薄膜トランジスタ 20において、ドレイン電極 26 の金属膜 42 および保護膜 44 は、エッチング（第1のエッチング）によって、形成されており、

金属膜42および保護膜44を形成するためのエッチングに対して、金属膜42のエッチングレートは保護膜44のエッチングレートとほぼ等しくなっている。これにより、金属膜42および保護膜44を同時にエッチングすることにより、ほぼ同様のパターンを有する金属膜42および保護膜44が形成される。なお、
5 金属膜42のエッチングレートは保護膜44のエッチングレートとほぼ等しいとは、同時にエッチングされた金属膜42と保護膜44との設計誤差が、所望の範囲内に収まることを意味する。

また、絶縁膜52にコンタクトホール50を形成するためのエッチング（第2のエッチング）に対して、保護膜44のエッチングレートがほぼゼロである。

10 このような特性を満たす金属膜42の具体的な材料は、例えば、Moであり、保護膜44の具体的な材料は、非晶質導電性酸化物である。非晶質導電性酸化物は、例えば、IZOである。IZOは、酸化インジウムと酸化亜鉛とを含む酸化物であり、酸化インジウムと酸化亜鉛とを主成分とするIn-Zn-Oである。
15 ここでは、非晶質導電性酸化物としてIn₂O₃とZnOとを主成分とする出光興産製のIZOを使用する。

対向基板54は、透明絶縁性基板56と、透明絶縁性基板56上に設けられた対向電極32とを備えている。

図4は、図2に示す線Q-Qに沿った、本発明の1つの実施形態による液晶表示装置の断面図である。

20 図4では、アクティブマトリックス基板10の端子領域136において、ゲートドライバ16内の信号入力端子部38の断面構造が示されている。

ゲート信号線12は、透明絶縁性基板39上に形成されている。ゲート信号線12は、TaNとTaとTaNとの積層構造（TaN/Ta/TaN）を有している。ここで、ゲート信号線12は、ゲート電極22と同じ材料から構成されている。
25 ゲート絶縁膜40は、ゲート信号線12の両端部を覆うように透明絶縁性基板

3 9 上に形成されている。ゲート絶縁膜 4 0 上には絶縁膜 5 2 が形成されている。

ゲート信号線 1 2 が酸化して抵抗が高くなることを防ぐための酸化防止膜 6 0 が、ゲート絶縁膜 4 0 および絶縁膜 5 2 の側面と、絶縁膜 5 2 の表面の一部とを覆うように、形成されている。ここで、酸化防止膜 6 0 の材料は透明な I T O で
5 あり、これは、画素電極 3 0 の材料と同じ材料である。

図 5～図 10 は、それぞれ、本発明の 1 つの実施形態によるアクティブマトリックス基板を製造する方法を説明するための断面図である。

図 5 (a) 、図 6 (a) 、図 7 (a) 、図 8 (a) 、図 9 (a) および図 10 (a) は、それぞれ、図 2 に示す線 A-A に沿った断面図に対応しており、表示領域 3 4 (図 1 参照) において、薄膜トランジスタ 2 0 および薄膜トランジスタ 2 0 のドレイン電極 2 6 に接続された画素電極 3 0 が形成される工程を示している。

図 5 (b) 、図 6 (b) 、図 7 (b) 、図 8 (b) 、図 9 (b) および図 10 (b) は、それぞれ、図 2 に示す線 B-B に沿った断面図に対応しており、端子領域 3 6 (図 1 参照) において、ゲートドライバ 1 6 の信号入力端子部 3 8 が形成される工程を示している。

まず、図 5 (a) および図 5 (b) を参照する。透明絶縁性基板 3 9 上に、ゲート信号線 1 1 およびゲート電極 6 を構成する材料（例えば、TaN/Ta/TaN）をスパッタ法等によって約 4 0 0 0 オングストロームの厚さで成膜する。
20 次いで、成膜された材料を、マスク露光、現像およびドライエッチングすることによって、所定のパターンのゲート信号線 1 1 およびゲート電極 6 を形成する。

次に、図 6 (a) および図 6 (b) を参照する。ゲート信号線 1 1 およびゲート電極 6 を覆うように、ゲート絶縁膜 4 0 を構成する材料（例えば、Si_xN_y）、半導体層 4 6 を構成する材料およびn+Si層 4 8 を構成する材料を、合計の厚さが約 5 0 0 0 オングストローム程度になるように CVD 法によって連続して成膜する。

次いで、成膜した材料を、マスク露光、現像、ドライエッチングおよび剥離することによって、所定のパターンの半導体層46およびn+Si層48を形成する。

図6(a)および図6(b)から分かるように、表示領域34(図1参照)では、薄膜トランジスタ20を形成すべき線A-A(図2参照)に沿った断面における領域でのみ半導体層46を構成する材料およびn+Si層48を構成する材料を残し、他の領域では半導体層46を構成する材料およびn+Si層48を構成する材料を除去する。

端子領域36(図1参照)では、半導体層46を構成する材料およびn+Si層48を構成する材料を、エッチングによって除去する。

次いで、図7(a)および図7(b)を参照する。ゲート絶縁膜40上に、半導体層46およびn+Si層48を覆うように、金属膜42の材料(例えば、Mo)をスパッタ法によって1500オングストロームの厚さで成膜し、続いて、保護膜44の材料(例えば、IZO)をスパッタ法によって100オングストロームの厚さで成膜する。

次いで、マスク露光、現像によってレジストをパターニングする。その後、例えば、硝酸3%、リン酸73%および酢酸3%の弱酸の混合液を使用したウエットエッチングによって、成膜した金属膜42の材料および保護膜44の材料の一部を除去する。

金属膜42の材料(例えば、Mo)および保護膜44の材料(例えば、IZO)は、金属膜42および保護膜44を形成するためのエッチング(ここでは、ウエットエッチング)に対して、金属膜42のエッティングレートは保護膜44のエッティングレートとほぼ等しいので、硝酸、リン酸および酢酸等の弱酸の混合液によってエッチングすることができる。したがって、金属膜42および保護膜44を1つのドレイン電極26として同一のエッチングによってパターニングすることができる。

端子領域 3 6 (図 1 参照) の信号入力端子部 3 8 では、金属膜 4 2 の材料 (例えば、M O) および保護膜 4 4 の材料 (例えば、I Z O) の両方ともエッティングによって除去する。

次いで、ソース電極 2 4 とドレイン電極 2 6 との間において、ドライエッチングすることによって、チャネルを形成して、ソース信号線 1 4、ソース電極 2 4 およびドレイン電極 2 6 を形成する。ここでは、ソース信号線 1 4、ソース電極 2 4 およびドレイン電極 2 6 は、いずれも、金属膜 4 2 と保護膜 4 4 との積層構造を有している。

次に、図 8 (a) および図 8 (b) を参照する。ソース電極 2 4 とドレイン電極 2 6 と n + S i 層 4 8 の表面の一部とを覆うように、絶縁膜 5 2 の材料 (例えば、S i_xN_y) を、CVD 法によって、約 3 5 0 0 オングストロームの厚さでゲート絶縁膜 4 0 上に成膜する。次いで、絶縁膜 5 2 の材料をマスク露光、現像することによってレジストをパターンニングする。

次に、図 9 (a) および図 9 (b) を参照する。C F₄ と O₂ との混合ガスを用いたドライエッチングによって、表示領域 3 4 (図 1 参照) において、ドレイン電極 2 6 の保護膜 4 4 上の絶縁膜 5 2 を除去して、コンタクトホール 5 0 を形成するとともに、端子領域 3 6 (図 1 参照) において、ゲート信号線 1 2 の上方に形成された絶縁膜 5 2 の一部を除去し、続いて、同じゲート信号線 1 2 上に形成されたゲート絶縁膜 4 0 の一部を除去して、ゲート信号線 1 2 の表面の一部を露出させる。

このとき、絶縁膜 5 2 にコンタクトホール 5 0 を形成するためのエッチング (ここでは、ドライエッチング) に対して、保護膜 4 4 のエッチングレートがほぼゼロであるので、このエッチングによって、保護膜 4 4 を含むドレイン電極 2 6 の一部が除去されることない。

次に、図 1 0 (a) および図 1 0 (b) を参照する。コンタクトホール 5 0 と、露出されたゲート信号線 1 2 と、ゲート絶縁膜 4 0 の側面および絶縁膜 5 2 の側

面とを覆うように、スパッタ法によって、絶縁膜 52 上に ITO を成膜する。

次いで、成膜した ITO を、マスク露光、現像によってレジストパターニングした後、塩化第 2 鉄によってエッチングし、画素電極 30 および酸化防止膜 60 を形成する。

5 本発明の 1 つの実施形態によるアクティブマトリックス基板 10 は、以上のように製造される。

ここで、再び、図 9 (a) および図 9 (b) を参照すると、表示領域 34 では、エッチングする必要があるのは絶縁膜 52 のみである一方で、端子領域 36 の信号入力端子部 38 では、絶縁膜 52 だけでなくゲート絶縁膜 40 をもエッチング 10 必要があるため、表示領域 34 では、表示領域 34 の絶縁膜 52 のみをエッチングするのに必要な時間よりも長い時間、エッチングされる。

しかし、本発明によれば、金属膜 42 ではなく保護膜 44 が絶縁膜 52 と接するため、表示領域 34 のエッチングに本来必要な時間よりも長い時間エッチングされたとしても、ドレイン電極 26 は、ドライエッチングによってダメージを受けず、金属膜 42 はエッチングされることなく保護される。

ドライエッチングとして RIE (Reactive Ion etching) を使用する場合、通常、固体とガスとを反応させ、固体を揮発性の化合物ガスに化学変化させて、エッチングを行う。アクティブマトリックス基板 10 を製造するためにドライエッチングとして RIE (Reactive Ion etching) を使用する場合、インジウムとフッ素の化合物の揮発性が低いため、フッ素系のガスでは、インジウムを含む保護膜 44 をエッチングすることができない。したがって、画素電極 30 は、コンタクトホール 50 を介してドレイン電極 26 の表面と接続するので、画素電極 30 とドレイン電極 26 とが電気的に安定して接続する。

25 以上のように、本発明の 1 つの実施形態によれば、画素電極 30 は、絶縁膜 52 に形成されたコンタクトホール 50 を介してドレイン電極 26 と接続されてお

り、ドレイン電極 26 は、金属膜 42 と保護膜 44 との積層構造を有している。このとき、保護膜 44 は、金属膜 42 に対してコンタクトホール 50 側に形成されているため、ドレイン電極 26 は、ドライエッティングによってダメージを受けず、コンタクトホール 50 はドレイン電極 26 の内部に延伸するようには形成されない。従って、画素電極 30 はドレイン電極 26 の表面で接続され、画素電極 30 はドレイン電極 26 と安定して電気的に接続する。

結果として、本発明によれば、マスク露光数、エッティング回数およびコストを増加させることなく、画素電極 30 とドレイン電極 26 との間の電気的接続を確実にすることができます。

図 11 は、本発明の別の実施形態による液晶表示装置の断面図である。

図 11 に示す液晶表示装置 70A のアクティブマトリックス基板 10A は、図 2 に示す線 A-A に沿った断面に対応しており、アクティブマトリックス基板 10 の構成要素と同一の構成要素には同一の参照符号を付している。これらの構成要素の詳細な説明は省略する。

アクティブマトリックス基板 10A は、金属膜 42 が保護膜 44 に対してコンタクトホール 50A 側に形成されたドレイン電極 26A およびソース電極 24A を有している点で、上述したアクティブマトリックス基板 10 と異なる。

アクティブマトリックス基板 10A を製造する場合にも、端子領域 36 (図 1 参照)においては、絶縁膜 52 のみならずゲート絶縁膜 40 をもエッティングする必要があるために、表示領域 34 (図 1 参照)において、表示領域 34 の絶縁膜 52 のみをエッティングするのに本来必要な時間よりも長い時間、表示領域 34 をエッティングすることになり、絶縁膜 52 に接するように形成された金属膜 42 もエッティングされる。

しかしながら、この実施形態では、金属膜 42 の下に形成された保護膜 44 により、ドライエッティングによってダメージを受けず、コンタクトホール 50A は保護膜 44 内に延伸されない。このため、画素電極 30 は、コンタクトホール 5

0 A を介して、薄膜トランジスタ 20 A のドレイン電極 26 A の保護膜 44 の表面と接続するので、画素電極 30 はドレイン電極 26 A と安定して電気的に接続する。

なお、上記説明では、保護膜 44 の非晶質導電性酸化物の具体例として、非晶質の酸化インジウムおよび酸化亜鉛を主成分とする IZO 膜を説明したが、非晶質導電性酸化物は IZO 膜に限定されるものではない。非晶質導電性酸化物として、非晶質の酸化インジウムおよび酸化スズを主成分とする ITO 膜を使用しても、IZO 膜によって得られた効果と同様の効果を得ることができる。

H₂O および H₂ を添加した ITO 成膜、または、ITO の結晶化温度以下の温度で ITO を成膜することによって、非晶質の ITO を形成することができる（参考文献：J. Vac. Sci. Technol., A8 (3), 1403 (1990)）。

産業上の利用可能性

本発明によれば、コストおよびプロセスを増加させることなく、第 1 の電極上の絶縁膜を介して第 1 の電極と第 2 の電極とを安定して電気的接続させることができる。

請求の範囲

1. 第1の電極と、

該第1の電極の少なくとも一部を覆う絶縁膜上に形成された第2の電極であつて、該絶縁膜に形成されたコンタクトホールを介して該第1の電極と電気的に接続された第2の電極と

を備えた、基板であって、

該第1の電極は、金属膜と保護膜との積層構造を有しており、

該金属膜および該保護膜を形成するための第1のエッティングに対して、該金属膜のエッティングレートは該保護膜のエッティングレートとほぼ等しく、

該コンタクトホールを形成するための第2のエッティングに対して、該保護膜のエッティングレートがほぼゼロである、基板。

2. 前記保護膜は、非晶質導電性酸化物である、請求項1に記載の基板。

15

3. 前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、請求項2に記載の基板。

4. 前記金属膜は、モリブデンを含む、請求項1に記載の基板。

20

5. 前記保護膜は、前記金属膜に対して前記コンタクトホール側に形成されている、請求項1に記載の基板。

25 6. 前記金属膜は、前記保護膜に対して前記コンタクトホール側に形成されている、請求項1に記載の基板。

7. ドレイン電極として機能する前記第1の電極と、ソース電極と、ゲート電極とを含む薄膜トランジスタをさらに備え、

前記第2の電極は、該薄膜トランジスタによって制御される画素電極として機能する、請求項1に記載の基板。

5

8. 前記薄膜トランジスタの前記ゲート電極に分岐されたゲート信号線と、

該ゲート電極および該ゲート信号線の少なくとも一部を覆うゲート絶縁膜とをさらに備え、

該薄膜トランジスタの前記ドレイン電極は、該ゲート絶縁膜上に形成されており、

前記保護膜は、該ドレイン電極下の該ゲート絶縁膜を、前記第2のエッチングから保護する、請求項7に記載の基板。

9. 請求項1に記載の基板と、

15 該基板に対向する対向基板と、

該基板と該対向基板との間に挿入された液晶と
を備える、液晶表示装置。

10. 第1の電極を形成する工程と、

20 該第1の電極の少なくとも一部を覆う絶縁膜を形成する工程と、

該絶縁膜の一部を除去することにより、該絶縁膜にコンタクトホールを形成する工程と、

該絶縁膜上に第2の電極を形成する工程であって、該コンタクトホールを介して該第1の電極と該第2の電極とが電気的に接続される工程と

25 を包含する、基板を製造する方法であって、

該第1の電極を形成する工程は、

金属膜と保護膜とを積層する工程と、

該金属膜のエッティングレートが該保護膜のエッティングレートとほぼ等しい第1のエッティングによって、該積層された金属膜および該保護膜とともにパターニングする工程とを包含し、

5 該コンタクトホールを形成する工程は、該保護膜のエッティングレートがほぼゼロである第2のエッティングによって、該絶縁膜に該コンタクトホールを形成する工程を包含する、基板を製造する方法。

10 11. 前記パターニングする工程は、前記弱酸の混合液を用いたウェットエッティングにより、前記金属膜および前記保護膜をパターニングする工程を包含する、請求項10に記載の基板を製造する方法。

15 12. 前記第1の電極が薄膜トランジスタのドレイン電極として機能し、前記第2の電極が該薄膜トランジスタによって制御される画素電極として機能する、基板を製造する方法であって、

ゲート信号線を形成する工程と、

該薄膜トランジスタのゲート電極であって、該ゲート信号線から分岐したゲート電極を形成する工程と、

該ゲート信号線の少なくとも一部を覆うゲート絶縁膜を形成する工程と、

20 ソース信号線を形成する工程と、

該薄膜トランジスタのソース電極であって、該ソース信号線から分岐したソース電極を形成する工程と、

該ゲート信号線上の該ゲート絶縁膜の一部を除去する工程とをさらに包含し、

25 前記第2のエッティングはドライエッティングであり、

該ドライエッティングにより、該コンタクトホールを形成するとともに、該ゲー

ト絶縁膜の一部を除去する、請求項 10 に記載の基板を製造する方法。

13. 前記保護膜は、記非晶質導電性酸化物である、請求項 10 に記載の基板を製造する方法。

5

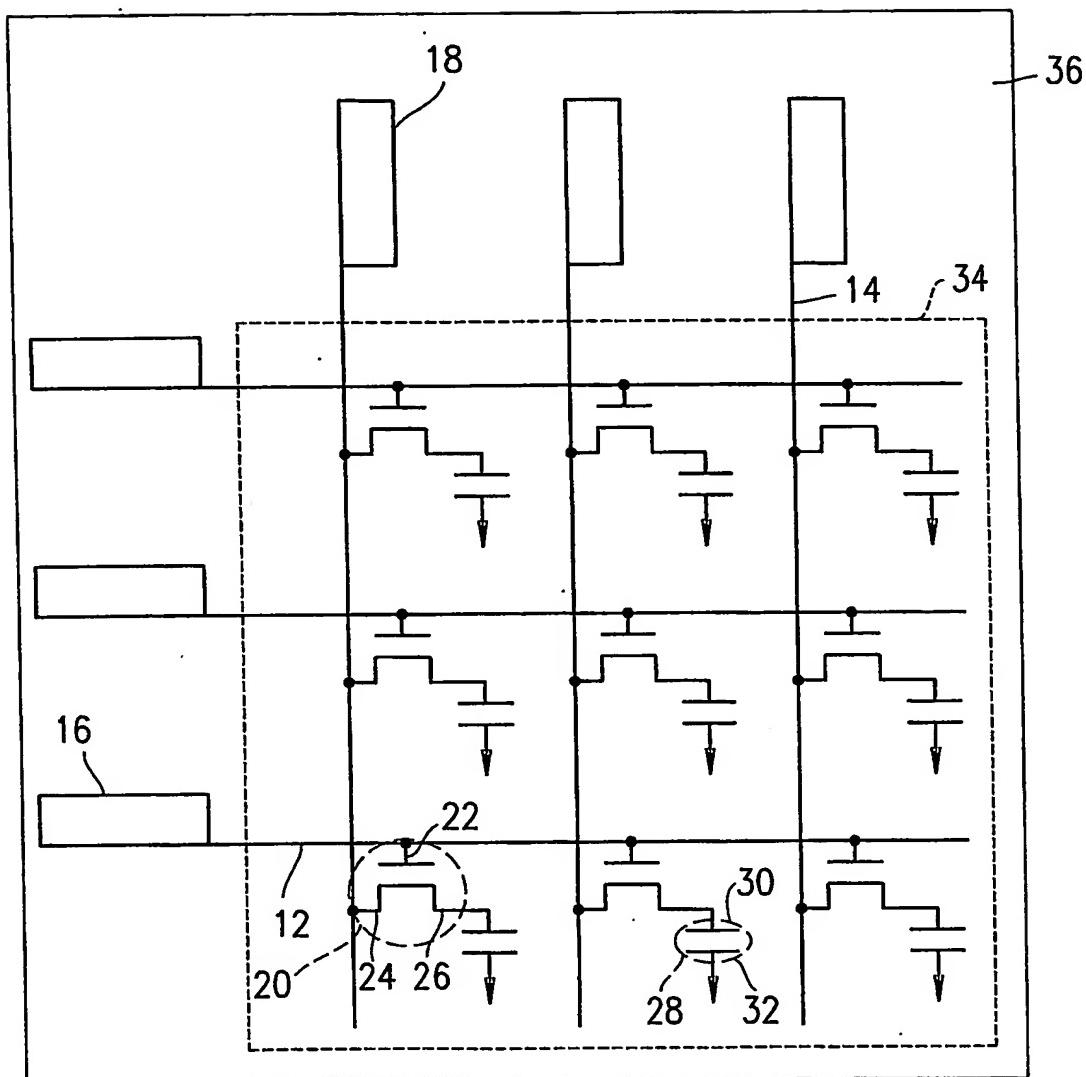
14. 前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを含む酸化物である、請求項 13 に記載の基板を製造する方法。

15. 前記金属膜は、モリブデンを含む、請求項 10 に記載の基板を製造する

10

方法。

図 1



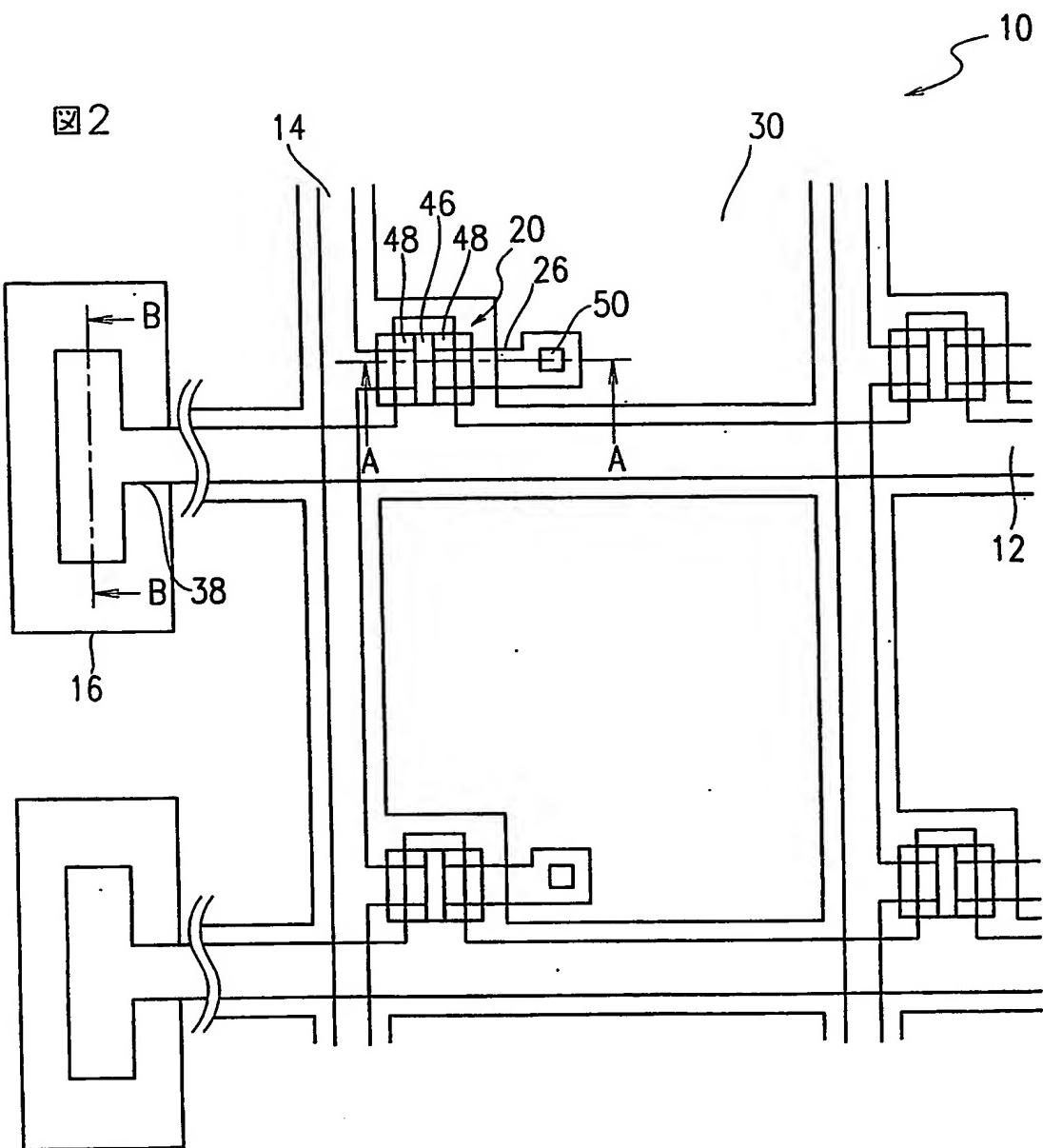


図3

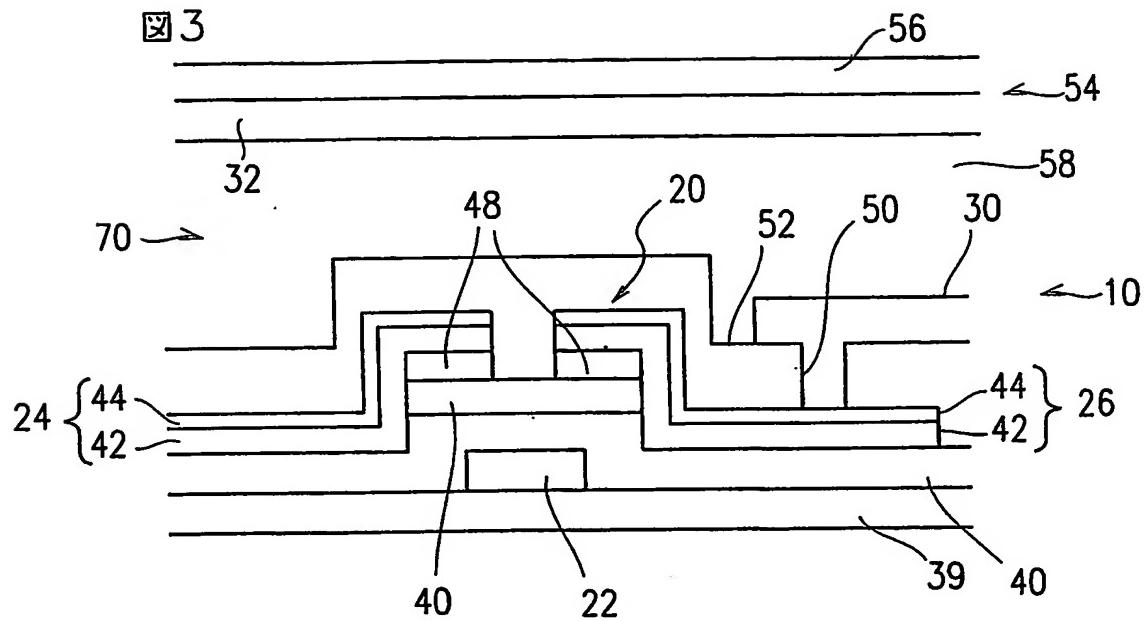


図4

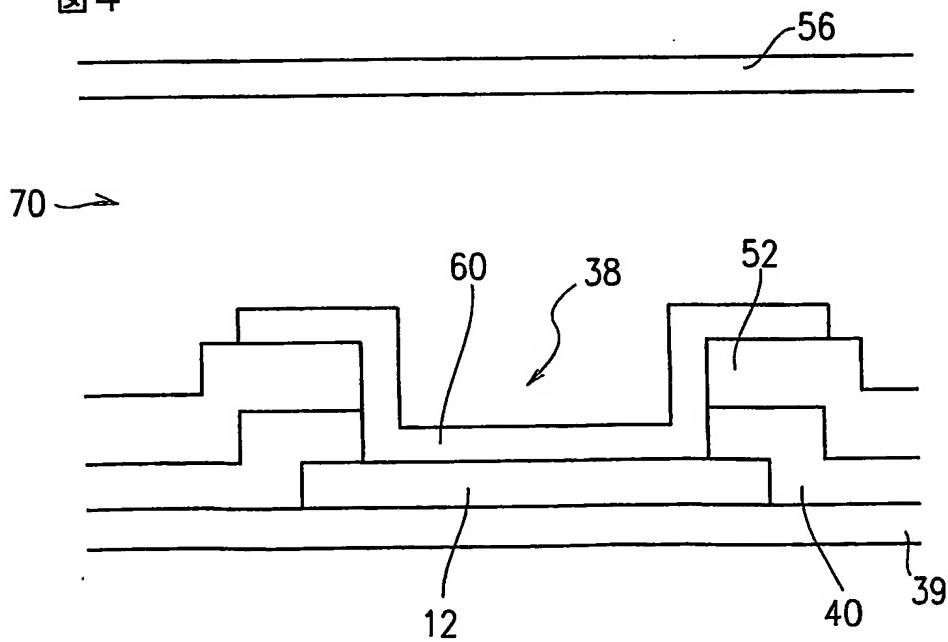


図5

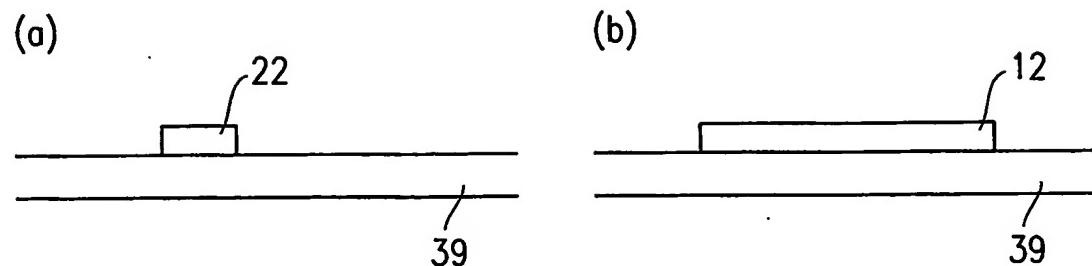


図6

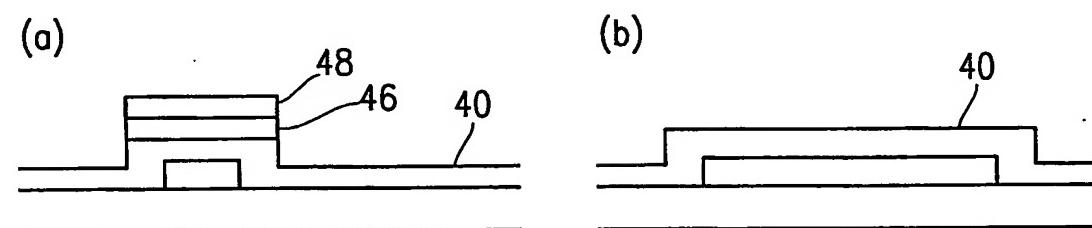


図7

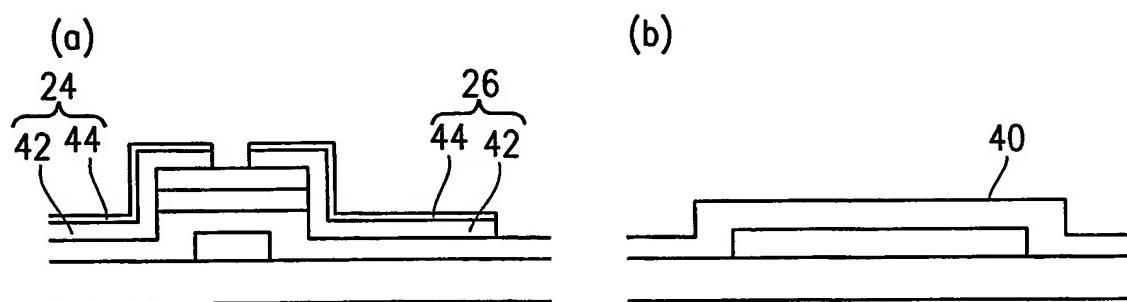


図8

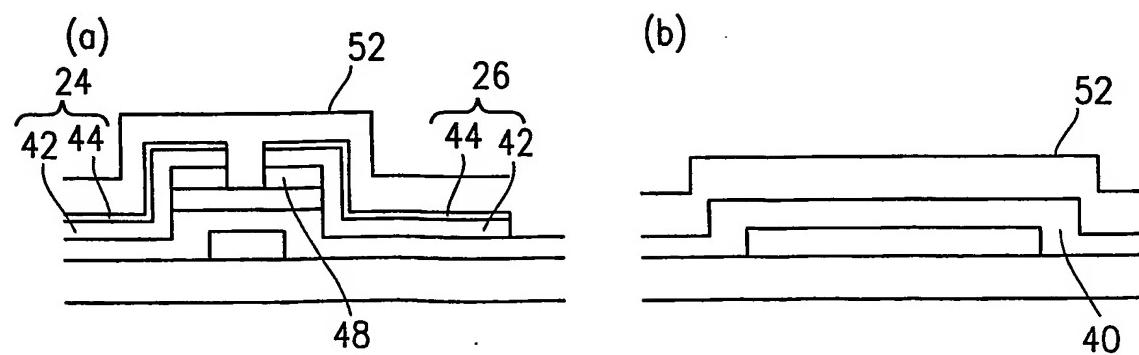


図9

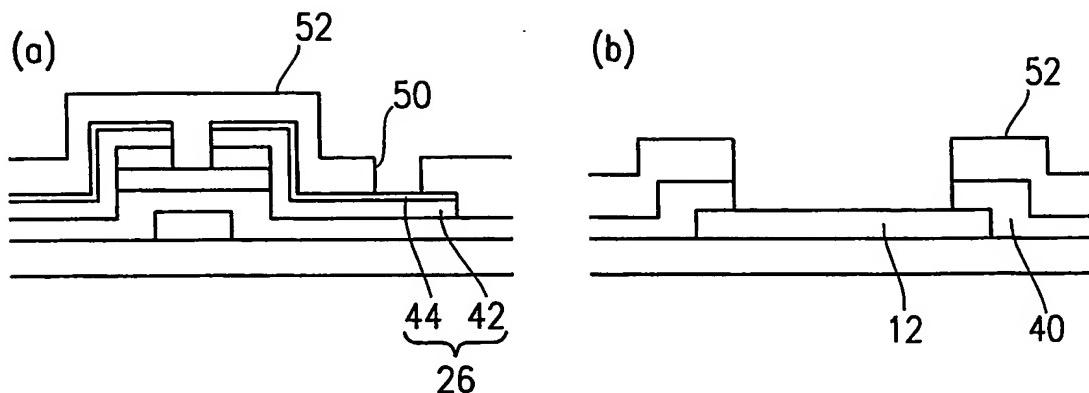


図10

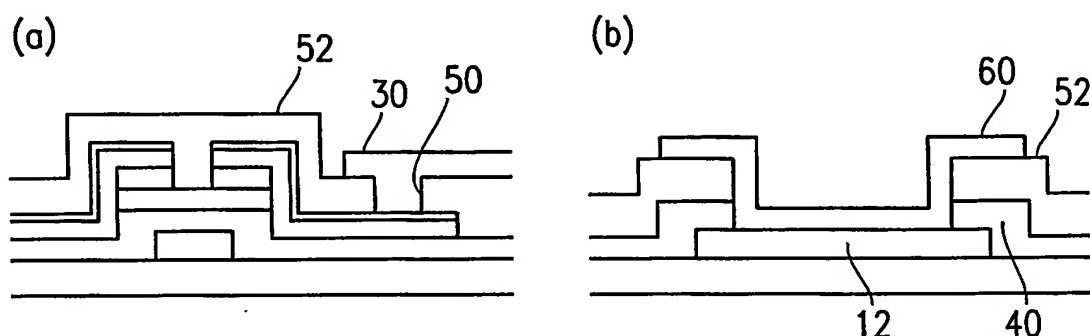


図11

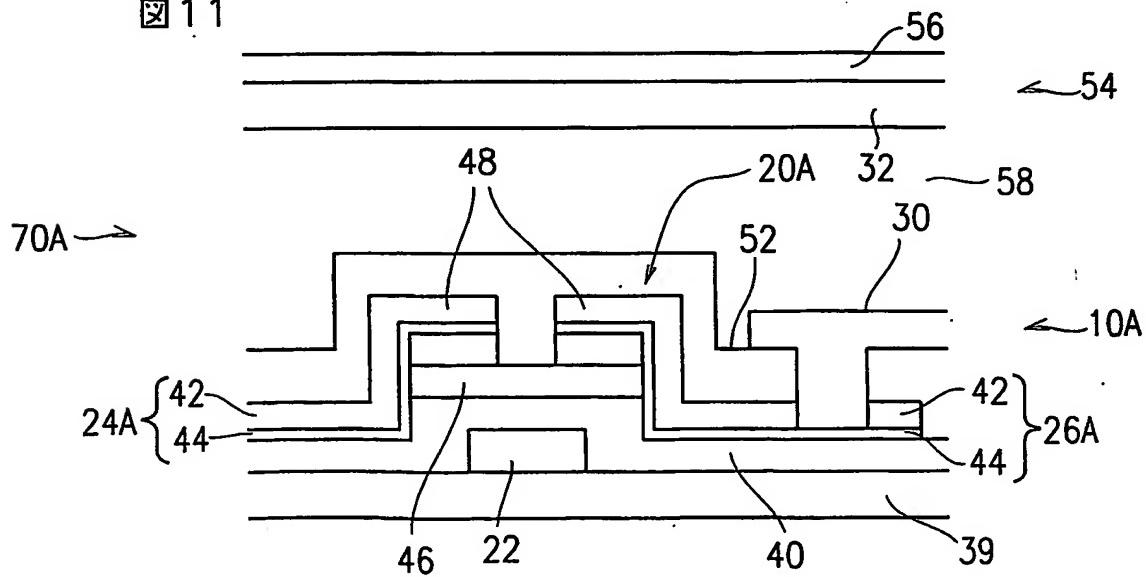


図12

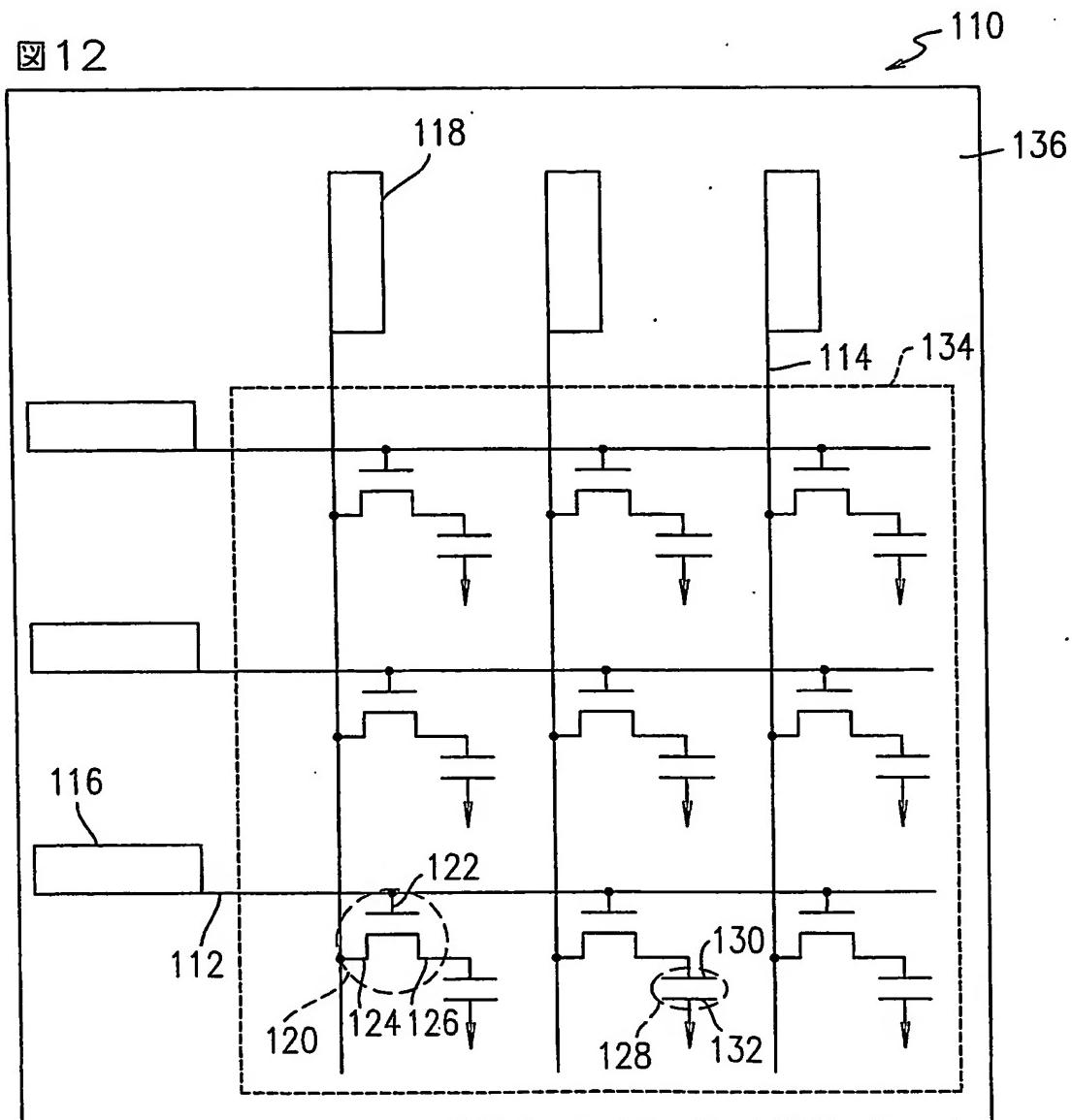


図13

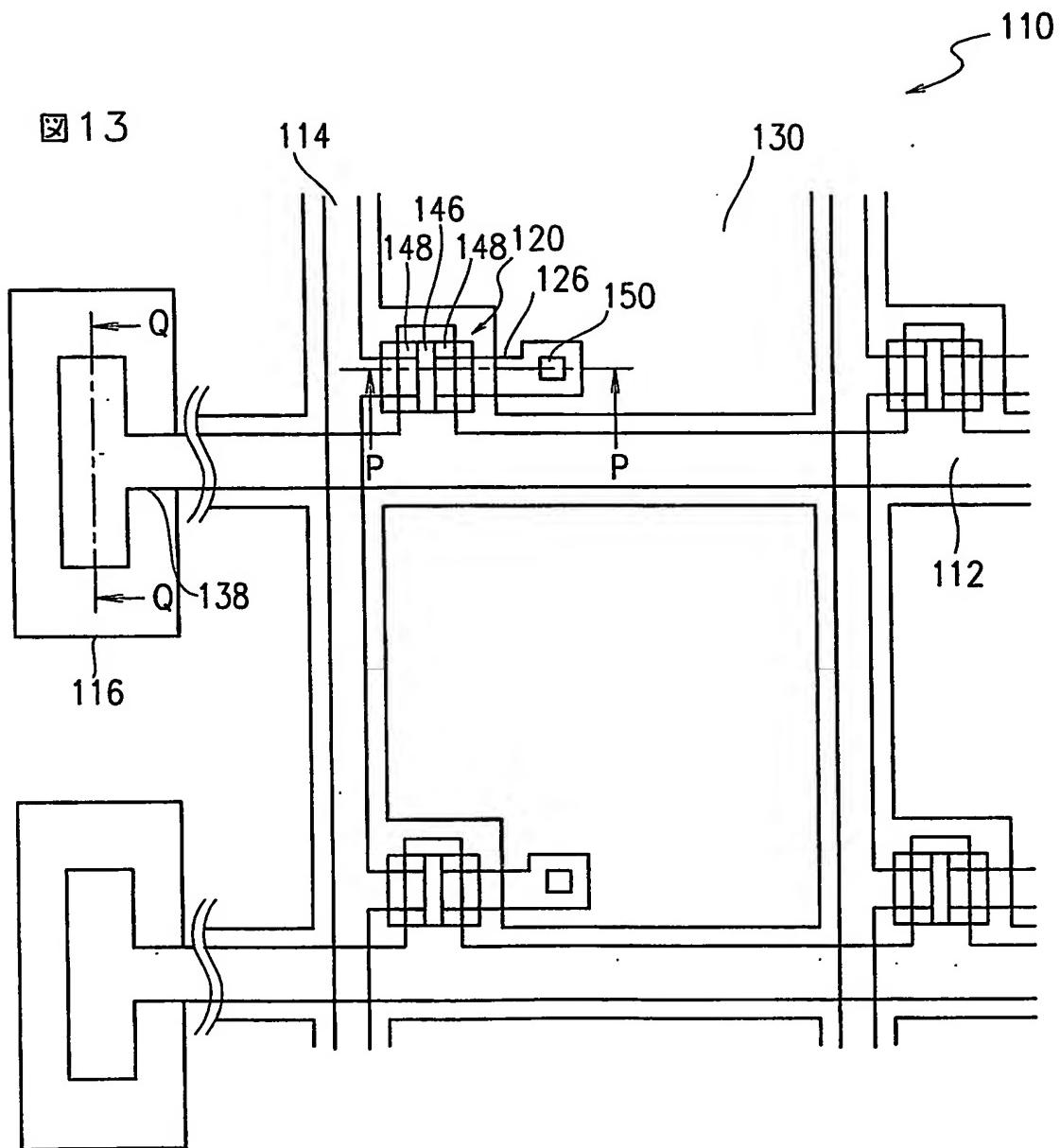


図14

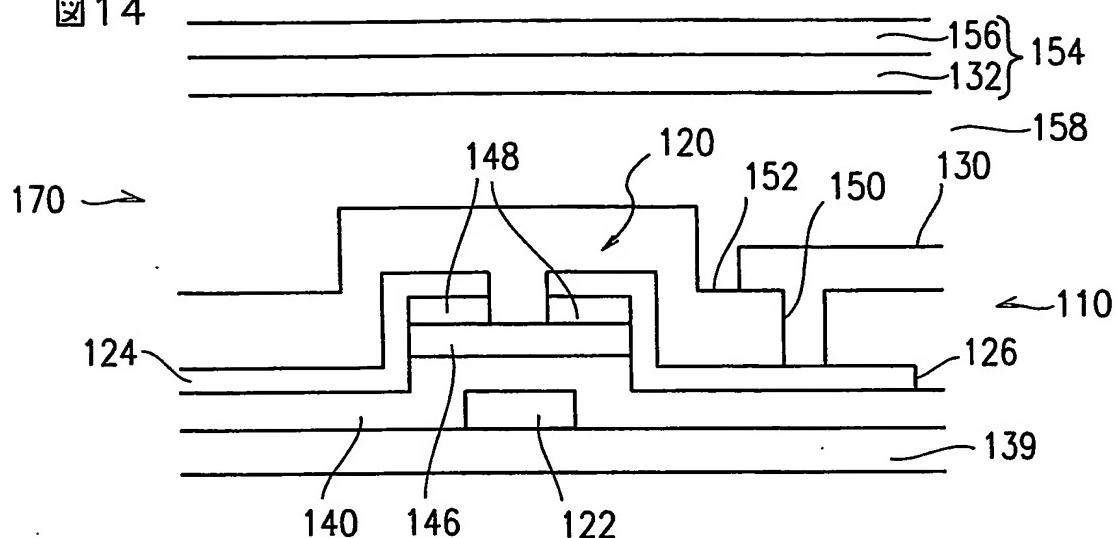


図15

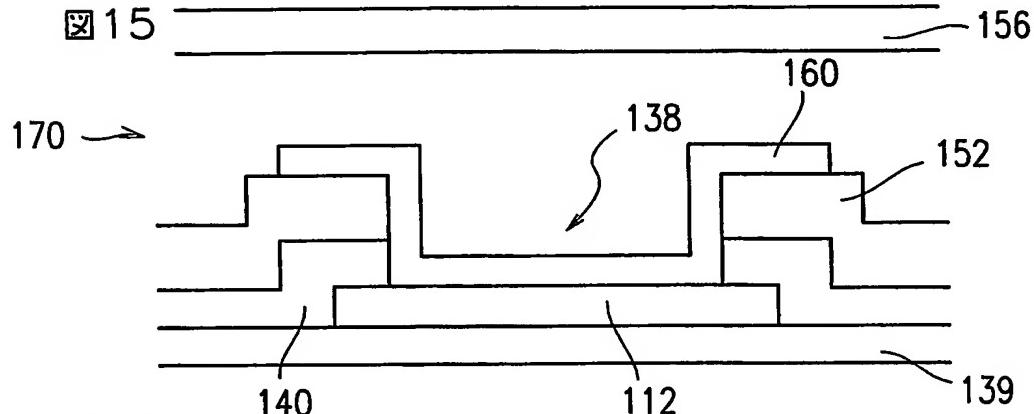
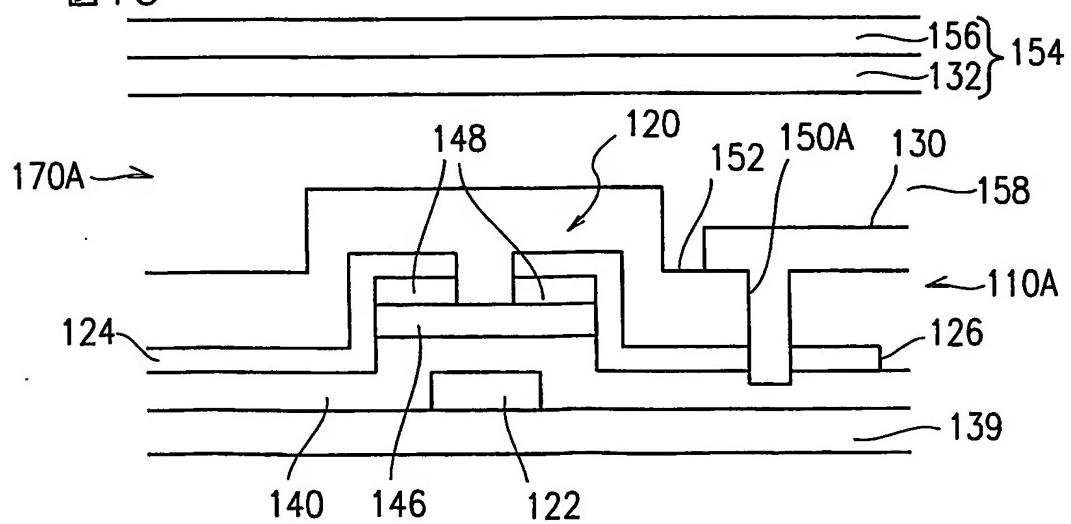


図16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04727

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' G09F9/30, G02F1/1368, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' G09F9/30, G02F1/1368, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-284326 A (Hitachi, Ltd.),	1, 5-7, 9-11
Y	13 October, 2000 (13.10.00), Full text; all drawings & KR 2000063024 A & US 6433842 B1 & JP 2001-166336 A	2-4, 8, 12-15
Y	JP 2000-275663 A (Hitachi, Ltd.), 06 October, 2000 (06.10.00), Full text; all drawings (Family: none)	2-4, 13-15
Y	JP 8-018058 A (Frontec Inc.), 19 January, 1996 (19.01.96), Par. Nos. [0032] to [0034]; Figs. 8 to 9 & KR 161325 B1	8, 12

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed.

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 May, 2003 (19.05.03)Date of mailing of the international search report
03 June, 2003 (03.06.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP03/04727

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' G09F9/30, G02F1/1368, H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' G09F9/30, G02F1/1368, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-284326 A (株式会社日立製作所) 2000. 10. 13、全文、全図 &KR 2000063024 A &US 6433842 B1 &JP 2001-166336 A	1, 5-7, 9-11
Y		2-4, 8, 12-15

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

19. 05. 03

国際調査報告の発送日 03.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐竹 政彦

2M

2911



電話番号 03-3581-1101 内線 3274

C(続き) .	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 0 - 2 7 5 6 6 3 A (株式会社日立製作所) 2 0 0 0 . 1 0 . 0 6 、全文、全図 (ファミリーなし)	2-4, 13-15
Y	J P 8 - 0 1 8 0 5 8 A (株式会社フロンティック) 1 9 9 6 . 0 1 . 1 9 、第【0 0 3 2】 - 【0 0 3 4】段落、第8 - 9 図 & KR 1 6 1 3 2 5 B 1	8, 12